



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Intellectual  
Property Office.

출원 번호 : 10-2002-0081995  
Application Number

출원 년 월 일 : 2002년 12월 20일  
Date of Application DEC 20, 2002

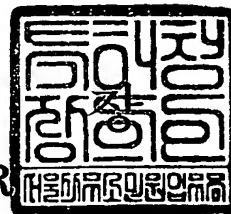
출원인 : 아남반도체 주식회사  
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 09 월 17 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0003
【제출일자】	2002.12.20
【발명의 명칭】	반도체 소자의 제조방법
【발명의 영문명칭】	FABRICATION METHOD OF SEMICONDUCTOR
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	이대근
【성명의 영문표기】	LEE, DATE GUN
【주민등록번호】	671115-1055325
【우편번호】	420-020
【주소】	경기도 부천시 원미구 중동 설악마을 310동 801호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	12 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	5 항 269,000 원
【합계】	298,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

**【요약서】****【요약】**

본 발명은 각각의 챔버가 식각율이 변한다 할지라도 항상 트렌치의 식각 깊이를 정확하게 제어하도록 하는 반도체 소자의 제조방법을 제공하는 것으로, 실리콘기판 상부에 패드 산화막과 질화막을 순차 적층하고, 질화막 상부에 감광막을 도포하되, 질화막의 식각과 실리콘기판의 식각후 잔존하는 두께를 예측하여 도포하며, 도포된 감광막에 패턴을 형성하는 단계; 상기 감광막 패턴을 마스크로 하여 질화막과 패드 산화막을 식각하는 한편, 상기 감광막 패턴이 제거되고 상기 질화막이 노출되는 시점까지 상기 실리콘기판을 식각하여 트렌치를 형성하는 단계; 상기 실리콘기판 전체에 트렌치 갭필용 산화막을 화학기상증착법으로 증착하여 트렌치를 매립하는 단계; 및 상기 트렌치에 갭필용 산화막을 매립한 후에 질화막을 버퍼층으로 한 화학 기계적 연마로 갭필용 산화막을 연마하여 상기 트렌치내에만 갭필용 산화막이 존재하도록 하는 평탄화를 실시하는 단계를 포함한다.

**【대표도】**

도 2f

**【색인어】**

반도체, STI, 식각정지점(EPD), 식각율, 파식각

**【명세서】****【발명의 명칭】**

반도체 소자의 제조방법 {FABRICATION METHOD OF SEMICONDUCTOR}

**【도면의 간단한 설명】**

도 1a 내지 도 1b는 종래 반도체 소자 제조 방법을 도시한 단면도이다.

도 2a 내지 도 2f는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 제조 방법에 관한 것으로, 더욱 상세하게는 트렌치 깊이를 제어하여 제조하는 반도체 소자의 제조방법에 관한 것이다.
- <4> 반도체 소자의 격리구조로서 트렌치 격리구조 (STI : shallow trench isolation)가 많이 사용되고 있다. 트렌치 격리구조에서는 반도체 기판 내에 트렌치를 형성하고 그 내부에 절연 물질을 충전시킴으로써 필드영역의 크기를 목적인 트렌치의 크기로 제한하기 때문에 반도체 소자의 미세화에 유리하다.
- <5> 그러면, 종래 트렌치 격리구조의 반도체 소자 제조 방법에 대해 첨부된 도면을 참조하여 설명하면 다음과 같다. 도 1a 내지 도 1b는 종래 반도체 소자 제조 방법을 도시한 단면도이다.
- <6> 먼저, 도 1a에 도시된 바와 같이, 반도체 기판(1) 상에 패드산화막(2)을 증착하고, 그 위에 질화막(3)을 증착한 후, 그 상부에 감광막을 도포하고 노광하여 트렌치로 예정된 영역의

상부에 해당하는 감광막만을 제거하여 감광막 패턴(미도시)을 형성하고, 감광막 패턴을 마스크로 하여 노출된 질화막(3), 패드산화막(2) 및 기판(1)을 건식식각하여 목적하는 소정깊이의 트렌치(T)를 형성한 다음, 감광막 패턴을 제거하고 세정공정을 수행한다.

- <7> 그리고 질화막(3)의 식각이 진행될 때 패드산화막(2)에서 식각정지점(End Point Detect; 이하 EPD라 칭함)을 잡게 되며, 실리콘기판(1)의 식각시에는 반복된 실험 데이터에 의해 결정된 시간을 기준으로 타임식각을 실시하게 된다.
- <8> 그러나 타임식각은 챔버 내부의 조건이나 상태가 항상 동일하다는 전제하에 진행되는 식각이므로 만일 챔버의 반복된 사용으로 인한 내부 상태의 변화나 조건의 변화가 발생할 경우 원하는 깊이로 실리콘기판을 식각하지 못하게 된다.
- <9> 그 결과 도 1b에 도시된 바와 같이, 트렌치(T)가 형성된 이후에 STI를 위한 깎필을 진행하게 되면 STI의 임계치수가 작은 상태에서 식각이 깊이 이루어졌을 경우에는 보이드(void)(5)가 발생하게 된다.
- <10> 이와 같이 트렌치 산화막(4) 내에 보이드(5)가 발생하면 트렌치 산화막(4)의 평탄화를 위한 화학기계적 연마시 그 보이드(5)가 노출되어 평탄화가 어려워지고, 평탄화 후 보이드가 노출되어 있다가 후속 공정에서 전극 형성용으로 증착하는 폴리실리콘이 보이드로 들어가면 누설전류가 발생하여 소자의 오동작을 유발하는 등 소자에 치명적인 악영향을 미치는 문제점이 있었다.

**【발명이 이루고자 하는 기술적 과제】**

- <11> 본 발명은 상기한 바와 같은 문제점을 해결하기 위해 제안된 것으로, 각각의 챔버가 식각율이 변한다 할지라도 항상 트렌치의 식각 깊이를 정확하게 제어하도록 하는 반도체 소자의 제조방법을 제공하는 데 있다.

**【발명의 구성 및 작용】**

- <12> 상기한 바와 같은 기술적 과제를 달성하기 위하여 본 발명의 제조방법은, 실리콘기판 상부에 패드 산화막과 질화막을 순차 적층하고, 질화막 상부에 감광막을 도포하되, 질화막의 식각과 실리콘기판이 식각후 잔존하는 두께를 예측하여 도포하며, 도포된 감광막에 패턴을 형성하는 단계; 상기 감광막 패턴을 마스크로 하여 질화막과 패드 산화막을 식각하는 한편, 상기 감광막 패턴이 제거되고 상기 질화막이 노출되는 시점까지 상기 실리콘기판을 식각하여 트렌치를 형성하는 단계; 상기 실리콘기판 전체에 트렌치 갭필용 산화막을 화학기상증착법으로 증착하여 트렌치를 매립하는 단계; 및 상기 트렌치에 갭필용 산화막을 매립한 후에 질화막을 버퍼층으로 한 화학 기계적 연마로 갭필용 산화막을 연마하여 상기 트렌치내에만 갭필용 산화막이 존재하도록 하는 평탄화를 실시하는 단계를 포함한다.

- <13> 이하 첨부된 도면에 의거하여 본 발명에 따른 바람직한 실시예를 상세히 설명한다.

- <14> 도 2a 내지 도 2f는 본 발명에 따른 반도체 소자 제조 방법을 도시한 단면도이다.

- <15> 먼저 도 2a에 도시된 바와 같이, 패턴을 형성하는 단계에서는 반도체기판으로서 실리콘기판(11) 상부에 패드 산화막(12)과 질화막(13)을 순차 적층하고, 질화막(13) 상부에 감광막을 소정의 두께로 도포하게 된다.

- <16> 이때 감광막은 후속공정에서 질화막(13)을 식각하는 과정에 함께 식각되는 두께와 실리콘기판(11)을 식각하는 과정에서 함께 식각되는 두께를 감안하여 적절한 두께로 도포하되, 질화막(13)의 식각후 잔존하는 두께가 1000Å 내지 3000Å 되도록 한다.
- <17> 감광막은 마스크를 이용한 노광공정을 통해 패터닝되어 감광막 패턴(14)을 형성하게 된다.
- <18> 이러한 감광막 패턴(14)을 기반으로 트렌치를 형성하는 단계는 도 2b에 도시한 바와 같이, 감광막 패턴(14)을 마스크로 하여 질화막(13)과 패드 산화막(12)을 식각한다.
- <19> 그리고 계속해서 실리콘기판(11)을 식각을 시작하게 된다. 이때 실리콘기판(11)이 식각되면서 자연적으로 남은 감광막패턴(14)도 함께 식각되며, 감광막패턴(14)이 모두 없어지고 질화막(13)이 노출되는 시점을 식각정지점으로 결정한다.
- <20> 이러한 과정에서 중요한 것은 실리콘기판(11)의 식각시 동일한 시간을 기준으로 실리콘기판(11)의 식각율(T1)이 감광막 패턴(14)의 식각율(T2) 보다 상대적으로 더 크다는 것이며, 이러한 상대적인 식각율의 차이를 감안하여 질화막 식각 시 감광막을 제거하지 않고 남겨둬야 한다.
- <21> 일 예로, 실리콘기판(11)에 형성된 트렌치(T)의 깊이는 4000Å 내지 6000Å 이고, 식각시간은 60초 내지 120초일 경우, 실리콘기판(11)의 식각시간 동안 감광막 패턴(14)의 식각되는 두께는 1000Å/min 내지 3000Å/min 정도이다.
- <22> 도 2c에 도시한 바와 같이, 과식각하는 단계는 감광막 패턴(14)이 모두 식각되는 식각정지점에서 다시 질화막(13)을 약간 과식각해주게 된다.

- <23> 이어서, 열산화막을 형성하는 단계는 도 2d에 도시된 바와 같이, 후속 공정에서 트렌치(T)에 갭필되는 산화막(15)과 실리콘기판(11)의 접착을 용이하게 하기 위하여 열산화 공정에 의해 트렌치(T) 내벽에 열산화막(16)을 형성한다.
- <24> 그 다음 도 2e에 도시된 바와 같이, 트렌치를 매립하는 단계는 기판(11) 전체에 트렌치 갭필용 산화막(15)을 화학기상증착법으로 증착하여 트렌치(T)를 완전히 매립한다.
- <25> 마지막으로 도 2f에 도시한 바와 같이, 평탄화를 실시하는 단계는 트렌치(T)에 갭필용 산화막(15)을 매립한 후에 질화막(13)을 버퍼층으로 한 화학 기계적 연마로 갭필용 산화막(15)을 연마한다. 그러면, 화학기계적연마공정에 의해 질화막(13) 상부에 있는 갭필용 산화막(15)은 모두 제거되고 트렌치(T)내에만 갭필용 산화막(15a)이 존재한다.
- <26> 이때 전술한 트렌치를 형성하는 단계에서처럼 식각정지점으로 질화막을 이용한 트렌치(T)의 식각에 의해 정확한 식각깊이를 형성하기 때문에 트렌치(T)의 내부로 갭필용 산화막(15)이 매립된 후 평탄화를 실시하여도 보이드가 발생되지 않게 된다.
- <27> 연마 이후에는 불산공정, 이온 주입 공정 등을 거친 후 버퍼 산화막인 패드 산화막을 불산 처리하게 되면 실리콘기판(11)이 노출된다.

#### 【발명의 효과】

- <28> 이상에서 살펴본 바와 같이 본 발명에 따른 반도체 소자의 제조방법에 의하면, 트렌치 식각 시 질화막을 식각정지점으로 사용하게 되면 항상 일정한 깊이의 트렌치 깊이를 만들 수 있어 공정을 안정화할 수 있다.
- <29> 또한 감광막의 두께를 제어하여 종래에 비해 두께를 낮출 수 있게 됨으로써 포토레지스트 트량을 줄여 비용을 절감할 수 있게 된다.





1020020081995

출력 일자: 2003/9/22

<30> 아울러 종래 공정에서 별도로 감광막 패턴을 제거하는 과정을 생략할 수 있어 작업 효율성이 향상된다.

**【특허청구범위】****【청구항 1】**

실리콘기판 상부에 패드 산화막과 질화막을 순차 적층하고, 질화막 상부에 감광막을 도포한 후, 트렌치 형성을 위한 감광막 패턴을 형성하는 단계;

상기 감광막 패턴을 마스크로 하여 질화막과 패드 산화막을 식각하는 한편, 상기 질화막을 식각정지점으로 실리콘기판을 식각하여 트렌치를 형성하는 단계;

상기 실리콘기판 전체에 트렌치 갭필용 산화막을 화학기상증착법으로 증착하여 트렌치를 매립하는 단계; 및

상기 트렌치에 갭필용 산화막을 매립한 후에 질화막을 버퍼층으로 한 화학 기계적 연마로 갭필용 산화막을 연마하여 상기 트렌치내에만 갭필용 산화막이 존재하도록 하는 평탄화를 실시하는 단계

를 포함하는 반도체 소자의 제조방법.

**【청구항 2】**

제 1 항에 있어서, 상기 감광막의 도포 두께는 상기 질화막의 식각과 상기 실리콘기판의 식각에 의해 동시에 제거되는 두께가 되도록 하는 반도체 소자의 제조방법.

**【청구항 3】**

제 1 항에 있어서, 상기 형성하고자 하는 트렌치의 깊이가 4000Å 내지 6000Å 일 경우 상기 실리콘기판의 식각 이전 상기 질화막 상부에 잔존하는 감광막의 두께가 1000Å 내지 3000Å 이 되도록 하는 반도체 소자의 제조방법.

**【청구항 4】**

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 트렌치를 형성하는 단계 이후에, 상기 감광막 패턴이 모두 식각되는 식각정지점에서 다시 질화막을 약각 과식각하는 단계를 더 포함하는 반도체 소자의 제조방법.

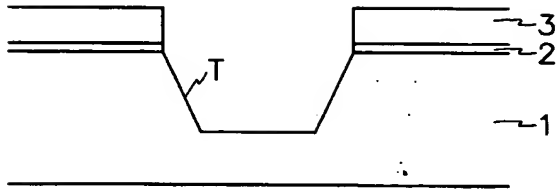
**【청구항 5】**

제 4 항에 있어서, 상기 과식각하는 단계와 트렌치를 매립하는 단계 사이에 열산화 공정에 의해 트렌치 내벽에 열산화막을 형성하는 단계를 더 포함하는 반도체 소자의 제조방법.

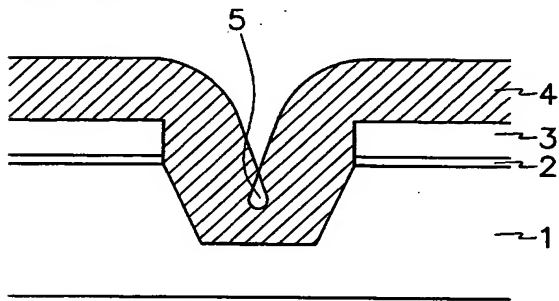


【도면】

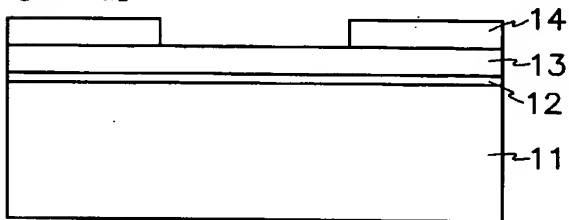
【도 1a】



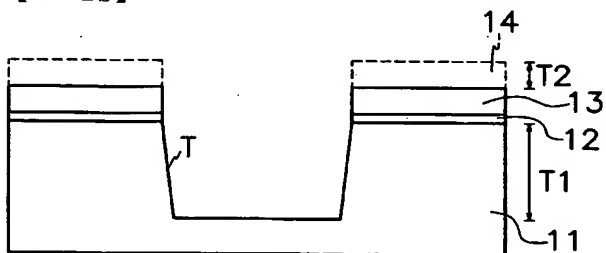
【도 1b】



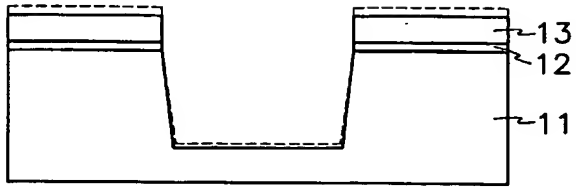
【도 2a】



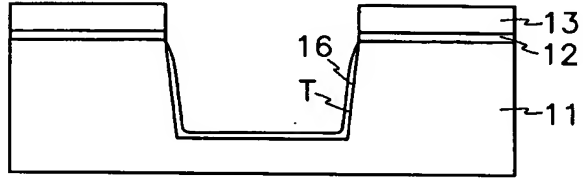
【도 2b】



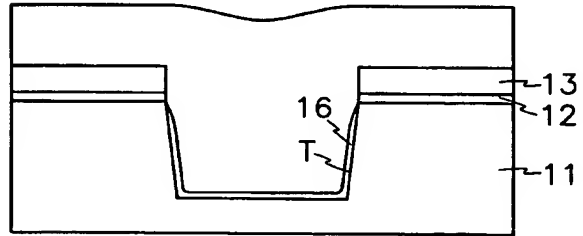
【도 2c】



【도 2d】



【도 2e】



【도 2f】

